

Family list

1 family member for:

JP60127761

Derived from 1 application.

1 MANUFACTURE OF MOS TRANSISTOR

Publication info: **JP60127761 A** - 1985-07-08

Data supplied from the **esp@cenet** database - Worldwide

Best Available Copy

WEST**End of Result Set** **Generate Collection**

L1: Entry 1 of 1

File: JPAB

Jul 8, 1985

PUB-NO: JP360127761A

DOCUMENT-IDENTIFIER: JP 60127761 A

TITLE: MANUFACTURE OF MOS TRANSISTOR

PUBN-DATE: July 8, 1985

INVENTOR-INFORMATION:

NAME

COUNTRY

FUSE, HARUHIDE

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

APPL-NO: JP58236683

APPL-DATE: December 15, 1983

INT-CL (IPC): H01L 29/78; H01L 29/60

ABSTRACT:

PURPOSE: To form a MOS transistor of LDD structure with good controllability by sequentially forming a gate oxide film, a gate electrode and a nitride film on a substrate formed with a separating region, forming a gate pattern on the nitride film, selectively oxidizing the gate electrode, and forming a gate electrode having a tapered edge.

CONSTITUTION: An oxide film is formed by selectively oxidizing on a P type silicon substrate 1, and a gate oxide film 2 is formed thereon. A thin tungsten silicide film 11 to become a gate electrode is accumulated on the overall surface from above, the upper surface is oxidized to form an SiO₂ film 12, a nitride film 13 is accumulated, and the thin film is allowed to remain on the gate. Then, a selective oxidation is performed to form an oxide film 14, the oxide film is removed with wet etching which contains fluoric acid, with the nitride film as a mask the remaining thin film silicide is etched by anisotropic etching, and a gate electrode 15 having a taper is formed. Subsequently, the nitride film is removed, As ions are then implanted, a heat treatment is performed, thereby forming an MOS transistor having a drain of LDD structure.

COPYRIGHT: (C) 1985, JPO&Japio

Best Available Copy

公開特許公報 (A) 昭60-127761

④Int.Cl.
H 01 L 29/78
// H 01 L 29/60

識別記号 庁内整理番号
8422-5F

④公開 昭和60年(1985)7月8日

審査請求 未請求 発明の数 1 (全 3 頁)

④発明の名称 MOSトランジスタの製造方法

②特 願 昭58-236683
②出 願 昭58(1983)12月15日

②発明者 布施 玄秀 門真市大字門真1006番地 松下電器産業株式会社内
①出願人 松下電器産業株式会社 門真市大字門真1006番地
④代理人 弁理士 中尾 敏男 外1名

明細書

1. 発明の名称

MOSトランジスタの製造方法

2. 特許請求の範囲

(1) 半導体基板上にゲート絶縁膜を形成する工程
前記ゲート絶縁膜上にゲート電極薄膜を形成する工程、耐酸化性薄膜を選択的に形成する工程、前記ゲート電極薄膜を所望の厚さにまで酸化する工程、前工程で形成された酸化膜を除去する工程、前記耐酸化性薄膜直下部分を除く前記ゲート電極薄膜をエッティングする工程、上部よりソースおよびドレインを形成するべくイオンの打ち込みを行なう工程を少なくとも含むことを特徴とするMOSトランジスタの製造方法。

(2) 耐酸化性薄膜を窒化シリコン膜とすることを特徴とする特許請求の範囲第1項に記載のMOSトランジスタの製造方法。

(3) ゲート電極薄膜を金属シリサイド薄膜とすることを特徴とする特許請求の範囲第1項に記載のMOSトランジスタの製造方法。

(4) ゲート電極材料を多結晶シリコン薄膜とすることを特徴とする特許請求の範囲第1項に記載のMOSトランジスタの製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、半導体集積回路(以下LSIといふ)特に高密度LSIに用いる微細素子の製造方法に関するものである。

従来例の構成とその問題点

MOSトランジスタの微細化に伴ないドレインの電界が強くなる為LDD (Lightly Doped Drain-source)やDD (Double Diffused Drain)構造を使用せざるを得なくなっている。従来このLDD構造を形成する為の1例を第1図に沿って説明する。

第1図において1はP型のシリコン基板、2はゲート酸化膜、3は多結晶シリコンのゲート電極、4は低濃度部のソースドレインの為のV型イオンビーム、5がソース及びドレインである。6は酸化膜分離である。7の工程では7の高濃度硝酸化

膜を形成する。この膜を異方性エッティングによりエッティングして、c工程のサイドウォールを形成する。その後dのD型不純物イオン注入により10のソースドレインをLDD構造とする。

しかしながら上記の例では、高濃度酸化膜が一般的に堆積レートが遅いことと、第1回c工程とするドライエッティング時に、終点を均一性よく制御することが難しく、ソースドレイン表面に結晶欠陥が生じやすくなる等の問題点を有している。さらには、サイドウォールの幅を均一性良くパターンを出すことにも問題があり、高密度LSIをつくる上で困難であった。

ところで、本発明者等はゲート電極を選択酸化することによりゲート電極の端部に均一性良くテーパを形成できることを見出し、その結果、1回のイオン注入でLDD構造のMOSトランジスタを形成できることを見出し、その結果高密度LSIに利用できることを見出した。

発明の目的

本発明は、このような従来の問題に鑑み、LD

D構造のMOSトランジスタを制御する方法のLSIの製造方法を提供することを目的とする。

発明の構成

本発明は、シリコン基板に分離領域を形成した後に、ゲート酸化膜、ゲート電極を形成し、その上に塗化膜を形成し、この塗化膜にゲートパターンを形成する。その後選択酸化によりゲート電極以外の部分の電極材料の一部を酸化し、エッチングする。この膜、塗化膜をマスクとして異方性のエッティングを行ない、テーパ状のエッジをもつゲート電極を形成する。そして塗化膜除去後ソースドレインを形成する不純物イオンをイオン注入することにより制御性良くLDD構造を形成できるものである。なおゲート電極には、多結晶シリコンや金属シリサイドが適当である。

実施例の説明

第2図は本発明の第1の実施例におけるLDD構造のMOSLSIの製造工程を示す。説明を容易にする為、従来例と共に構成要素の番号は、

第1回と同じにしてある。以下第2回の工程図に沿って説明を行なう。

工程aは、P型(100)シリコン基板に選択酸化により600nmの酸化膜形成を行なう。その上に20nmのゲート酸化膜2をwet酸化により形成を行なった。その上からゲート電極となるタングステンシリサイド薄膜11を200nm全面に堆積を行なった。その上を100nm酸化しSiO₂12を形成し100nmの塗化膜13を堆積し、写真露刻法によりこの薄膜をゲート上に残した。このときのゲート長は1.6μmで形成した。

次にb工程では、300nmの選択酸化を施し酸化膜14を形成した。この酸化膜を希酸を含む湿式エッティングで除去したのち、塗化膜をマスクとして異方性エッティングにより残留した薄膜シリサイドをエッティングし、c工程に示す形状を形成しテーパをもつたゲート電極15を形成した。ここで形成されたテーパのゲート電極は、d工程におけるイオン注入時に、ソースドレインのゲ

ト電極近くのソースドレインの濃度がゆるやかに低下し浅くなる効果をつくる。

a工程において塗化膜を除去後Asイオンを60keVの加速エネルギーで $4 \times 10^{15} \text{ cm}^{-2}$ イオン注入し、950°C 30分の熱処理を施すことによりLDD構造のドレインをもつMOSトランジスタを形成した。

以上のように本実施例によれば、ゲート電極11の材質をタングステンシリサイドとしたが、ボリシリコンやその他の金属シリサイド例えばセリブデンシリサイド等についても酸化雰囲気中でSiO₂となるので、タングステンシリサイドと同様に用いることが可能である。

発明の効果

本発明により作成したMOSLSIは、LDDの端部の濃度勾配の均一性が高い。そのバラツキはチャンネル長のバラツキになる為、電子のシキイ電圧(以下V_Tと記す)のバラツキが、LDDの均一性となってあらわれる。従来法のサイドウォール法により作成したものは1枚のミシンテク

エハ中で V_{ds} が約 0.5 V において、 $|I_{ds}| = 0.036$ V であったのに対して本発明法により作成したチタンネル長 1.2 μm の微細 MOS 素子は、 $|I_{ds}| = 0.022$ V と、改善され再現性均一性のいずれも高い高密度 LSI を実現できるものである。

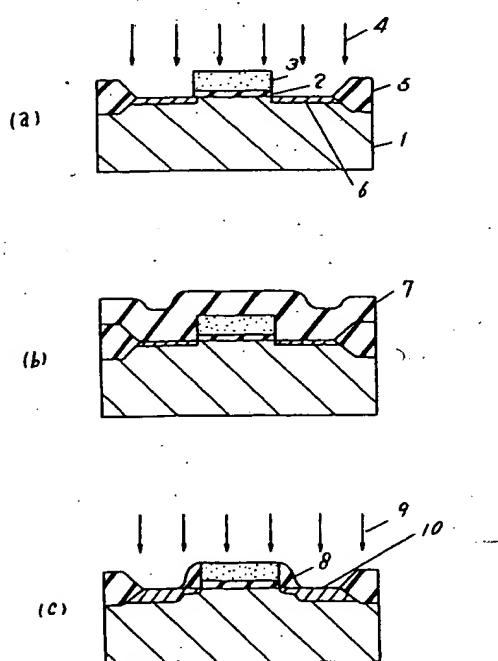
4. 図面の簡単な説明

第 1 図 a ~ c は従来のサイドウォール形成法により作成する LDD MOS ドランジスタの製造工程断面図、第 2 図 a ~ d は本発明の実施例の MOSLSI の製造工程断面図である。

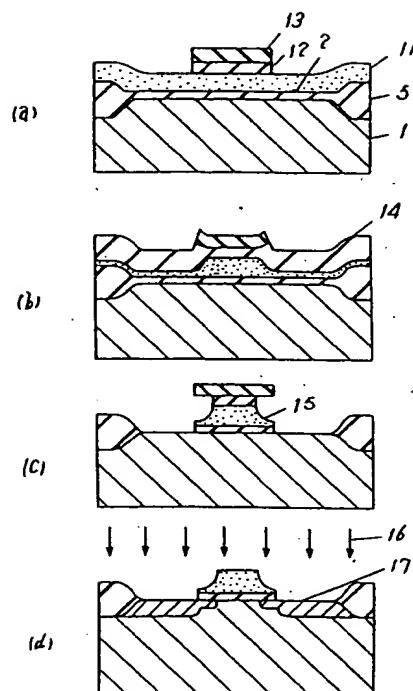
1 ……シリコン基板、2 ……ゲート酸化膜、
11 ……ゲート電極溝膜、13 ……耐酸化膜（空化膜）、16 ……イオンビーム、17 ……LDD 構造ソースドレイン。

代理人の氏名 弁理士 中尾 敏男 ほか 1 名

第 1 図



第 2 図



THIS PAGE BLANK (USPTO)